

1. JP,2744094,B

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

(57) [Claim(s)]

[Claim 1] The digital system which is characterized by providing the following and which connects between two or more modules by the digital signal transmission line, gives a common-clock signal to each module, sets up the timing for reception, and transmits the digital signal between modules. The module which should output the aforementioned digital signal is equipped with a clock reference signal output means to output the aforementioned common-clock signal inputted into this module as a clock reference signal from the output terminal of the aforementioned digital signal transmission line, and inputs the aforementioned digital signal as a means to create amendment data based on the phase contrast of the inputted aforementioned clock reference signal and the given aforementioned common-clock signal. A common-clock signal amendment means to generate the clock signal for reception of the aforementioned digital signal transmitted at the time of the normal mode by amendment of the aforementioned common-clock signal by this amendment data.

[Claim 2] The digital system according to claim 1 characterized by providing the following. The aforementioned common-clock signal amendment means is a means to generate many clock signal groups of the form which was able to shift the timing of the aforementioned common-clock signal little by little. The selector of the adequate several stage for making a proper clock signal choose out of the generated clock signal group. A phase detection means to output a phase detecting signal according to the phase contrast of the clock signal for reception of the ideal obtained from the aforementioned clock reference signal according to the selection state of this selector, and the clock signal for actual reception outputted from the last stage of the aforementioned selector. A means to create the aforementioned amendment data for choosing the aforementioned selector based on the detected phase contrast.

---

[Translation done.]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[Objects of the Invention]

(Field of the Invention)

this invention relates to the digital system which transmits a digital signal between modules.

(Prior art)

Generally, in digital systems, such as various computers and an integrated circuit, it consists of two or more modules, and is combined by the common-clock signal line for giving the common-clock signal for performing the digital transmission line for transmitting a digital signal, and this transmission, and data transmission is carried out between each module.

In this seed digital system, if the operating state is examined, in consideration of the propagation delay by a difference and wire length of the working speed of a logical element, you have to set up the timing of the clock for reception, frequency, its precision, etc.

However, since between modules is combined by many signal lines and the working speed and wire length of a logical element differ from each other in each even if it sets up the timing for reception in various digital circuits supposing an ideal circuit, even if it operates correctly about a certain signal line, by another signal line, it may not operate correctly. Moreover, by a certain specific system, even if it operates correctly, when it does not operate correctly or a connection module is exchanged to another module, in another system, there is a complicated problem of the system which was operating correctly stopping operating correctly etc.

Here, although the correction value of timing must be known using measuring instruments, such as an oscilloscope, and the timing of signal propagation must be adjusted according to each situation supposing it is going to raise the working speed of a system to a limitation, this is serious time and effort and cannot be performed in a big system. Then, with the conventional digital system, it had compromised on determining a clock frequency in the range which had a margin enough, and pressing down a clock frequency to a certain amount of value, after taking into consideration the working speed of a logical element, a wire length, and dispersion of these values to some extent.

(Object of the Invention)

However, in the digital system from the former like the above, since it had a margin enough and the clock frequency was determined after taking into consideration the working speed of a logical element, a wire length, and dispersion of these values, a clock frequency could not be made higher but there was a trouble of having restricted the working speed of a system sharply.

Moreover, since the difference of the working speed of a propagation delay or an element was accepted as it was, there was a trouble of reducing system reliability.

Then, this invention is not influenced by dispersion in the working speed of a logical element, the delay by wiring, and these values, but with the common-clock signal of a higher cycle, can make the signal transmission between modules able to perform, can have and carry out high-speed operation to the always optimal timing, and aims at offering the digital system which can aim at improvement in reliability.

[Elements of the Invention]

(The means for solving a technical problem)

In order to solve the above-mentioned technical problem, this invention connects between two or more modules by the digital signal transmission line. In the digital system which gives a common-clock signal to each module, sets up the timing for reception, and transmitted the digital signal between modules The module which should output the aforementioned digital signal It has a clock reference signal output means to output the aforementioned common-clock signal inputted into this module as a clock reference signal from the output terminal of the aforementioned digital signal transmission line. The module which inputs the aforementioned digital signal By amendment of a means to

create amendment data based on the phase contrast of the inputted aforementioned clock reference signal and the given aforementioned common-clock signal, and the aforementioned common-clock signal by this amendment data. It is characterized by having a common-clock signal amendment means to generate the clock signal for reception of the aforementioned digital signal transmitted at the time of the normal mode.

#### (Operation)

As mentioned above, the digital system of this invention A clock reference signal output means is prepared in the module side which outputs one digital signal. It outputs towards the module which inputs a digital signal by making into a clock reference signal the common clock inputted into the module concerned. In the module side of the side which inputs the digital data of another side, a common-clock signal amendment means is established and amendment amendment data are created for the timing of a common-clock signal based on phase contrast with the aforementioned clock reference signal, and it constitutes so that the clock signal for reception may be generated.

Thus, since this invention generates the clock signal for reception based on the clock reference signal transmitted through the digital signal transmission line, by easy composition, it is removed certainly and can apply [ consequently ] the influence of any errors by the propagation delay in the digital signal transmission line, the working speed of a logical element, etc. to high-speed-data transmission by various digital circuits.

#### (Example)

Hereafter, the example of this invention is explained.

A view 1 is a block diagram showing the whole digital system composition concerning one example of this invention. In drawing, the digital system of this example has two module 2A which operates by the common clock 1, and 2B, and changes, and both module 2A and 2B are mutually connected by the common-clock signal line 4 which gives the common-clock signal 3, and the digital signal transmission line 6 which transmits a digital signal (data) 5. In this example, module 2A shall transmit data and module 2B shall receive data.

The aforementioned common-clock signal 3 and the data 5 for transmission are inputted, and aforementioned module 2A is equipped with the flip-flop 7 for carrying out data output to the aforementioned digital signal transmission line 6, and the gate 8 as a clock reference signal output means, and it turns to it.

The gate 8 sends out common-clock signal 3A inputted into data 5A or this gate 8 outputted from the aforementioned flip-flop 7 according to the normal mode or timing setting mode to the aforementioned digital signal transmission line 6. Generally, a mode change is made into timing setting mode before data transmission, and is switched to the normal mode after that.

On the other hand, it has the flip-flop 10 received using clock signal 3C for reception into which data 5B inputted through the digital signal transmission line 6 under the normal mode is inputted from a circuit 9, and the control section 11, the timing generation circuit 12 and the timing amendment circuit 13 as a timing amendment means in the aforementioned module 2B, and grows into it.

First, if an outline is explained, a control section 11 will acquire the optimal timing information by the change of state of the aforementioned status signal F by giving the amendment data 16 to the timing amendment circuit 13 through a circuit 15 according to status signal F inputted through the aforementioned timing amendment circuit 13. Moreover, in the timing generation circuit 12, common-clock signal 3D is inputted, many clock signals of the form which was able to shift the timing are generated, and the timing amendment circuit 13 is provided with this through a circuit 17.

Finally, by carrying out selection operation of the selector with which the interior was equipped by the aforementioned amendment data 16, to common-clock signal 3D, the timing amendment circuit 13 obtains the clock signal of the form which was able to shift timing suitably, sets this to clock signal 3 for reception C, and outputs it to a flip-flop 10. In addition, since the aforementioned status signal F is outputted, in the case of the phase lead lag network, according to the phase contrast of reference clock signal 3B and clock signal 3C for reception, 1 and the phase detector to which status signal F of 0 is outputted in the case of delay are contained in this circuit 13.

The detail of the timing generation circuit 12 was shown in the view 2, and the detail of a control section 11 and the timing amendment circuit 13 was shown in the view 3.

In a view 2, the timing generation circuit 12 consists of the phase shift circuit equipped with the frequency multiplier by the PLL (Phase Locked Loop) circuit, and seven flip-flops 18, 19, 20, 21, 22, 23, and 24. A PLL circuit consists of a phase comparator 25, a low pass filter 26, a voltage controlled oscillator (VCO) 27, and 1/8 frequency divider 28. If self-propelled oscillation frequency of 12.5MHz and VCO is now set to 100MHz for the frequency of common-clock signal 3D of a system, in a steady state, the 100MHz clock signal which synchronized with the aforementioned common-clock signal 3D through the signal line 29 common to each flip-flops 18-24 will be given. By carrying out the phase shift of the signal which carried out dividing of the 100 aforementionedMHz clock to one eighth with the aforementioned 100MHz clock, the 12.5MHz clock signal (CK0, CK1, --CK7) from which the phase finally shifted by a unit of 10ns is obtained, and this can be individually outputted from two or more circuits 17.

In a view 3, 30, 31, and 32 are data selectors and 33, 34, and 35 are the delay element for 2.5ns which used the gate, and the delay element for 0.6ns 36, 37, and 38 are the same and using the gate. By this circuit 13, for 10ns by the selector 30 at a unit and a selector 31 2.5ns unit, Phase correction of a timing signal is performed per 0.6ns by the selector 32. The clock signal of the form which was able to shift the phase little by little by performing phase correction for 0 to 80ns which is equivalent to a part for a round term of a timing signal on the whole with the binary digit value of 7 bits per 0.6ns can be obtained. Arbitrary clock signals can be chosen according to the operating state of selectors 30, 31, and 32.

Moreover, 39 is D-flip-flop for detecting the phase contrast between clock reference signal 3B inputted from the transmission line 6 in initialization mode, i.e., timing setting mode, and clock signal 3C for reception outputted from the aforementioned selector 32. 40 and 41 are D-flip-flops formed in order to remove the METASU-table state of a flip-flop 39.

The control section 11 shown in this drawing has amendment data setting circuit 11A and store circuit 11B of a circuit 14. next, amendment data setting circuit 11A So that it may delay a phase if status signal F is 1, looking at status signal F of a circuit 14, and a phase may be advanced, if status signal F is 0 Selectors 30, 31, and 32 are chosen, a selector selection signal is set up so that the phase contrast between clock reference signal 3B and clock signal 3C for reception may be set to 0, and it memorizes to store circuit 11B by using the selector set point at the time of phase contrast 0 as amendment data. That is, it means that the receiving timing information on the data sent from module 2A had been memorized by store circuit 11B as data for amendment at this time. The control situation of amendment data setting circuit 11A was shown in the view 4.

In a view 4, if the ideal clock signal 3C0 for reception and clock signal 3C for reception outputted from the timing amendment circuit 13 are contrasted, when status signal F changes to 1 to 0, or 0-1, by this example, timing error \*\*1 can be made into the minimum error so that it may be made \*\*2. Therefore, final error \*\*2 can be set to 0.6 or less ns. By the above, an error [ as opposed to the ideal clock signal 3C0 of clock signal 3C for reception by operation of the timing generation circuit 12, a control section 11, and the timing amendment circuit 13 ] can be set to 0.6 or less ns with the digital system of this example.

Moreover, for example according to condition change, such as change of the circuit connection state in a module, change of a communications partner, or an environmental variation, since a timing setting can be carried out timely in advance of data transmission, the always optimal receiving timing can be set up according to the various bottoms of a condition.

furthermore, the thing for which this store circuit 11B is made into the data table which set up amendment data to the bottom of two or more article affair since store circuit 11B was prepared in this example -- each time -- measuring -- without -- condition change -- responding -- the optimal -- receiving timing can also be set up

Moreover, if it is the conventional method, although there are three modules A, B, and C and B, A, and C can combine with A logically, respectively Since tie mink designs differ, even if combinable, since it is between I/O according to this example and the transfer timing of a signal is automatically set up to the ability to have said that A and C were uncombinable, A and B can combine between modules freely and, moreover, become free [ the integrated state ]. In the above-mentioned example, although two for transmission and reception mainly explained the module, this invention is applicable also to the digital system which has many modules more, and transmits and receives data. Also in this case, if the amendment data of the receiving timing to a communications partner are memorized to the store circuit, according to condition change, i.e., a communication module, the optimal receiving timing can be set up quickly.

Furthermore, in the above-mentioned example, although Mukai, on the other hand, showed the direction of data transmission, it can respond to both directions by giving a clock reference signal output means and a common-clock signal amendment means to a transmission-and-reception side, respectively.

[Effect of the Invention]

Since this invention is as above a digital system as given in a claim, it is not influenced by dispersion in the working speed of a logical element, the delay by wiring, and these values, but with the common-clock signal of a higher cycle, the signal transmission between modules can be made to be able to perform, high-speed operation can be had and carried out to the always optimal timing, and improvement in reliability can be aimed at.

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

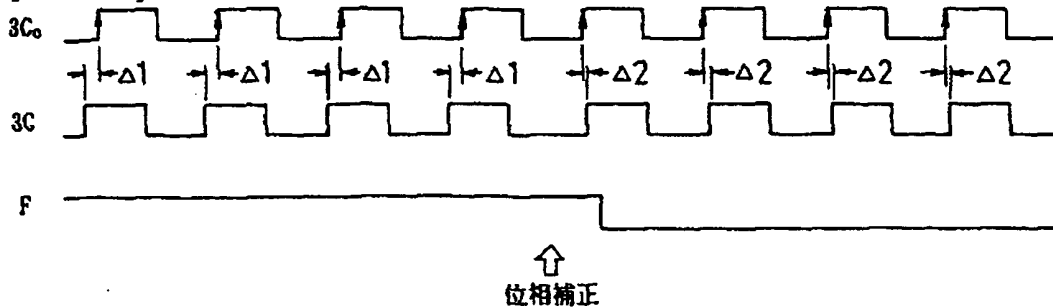
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DRAWINGS

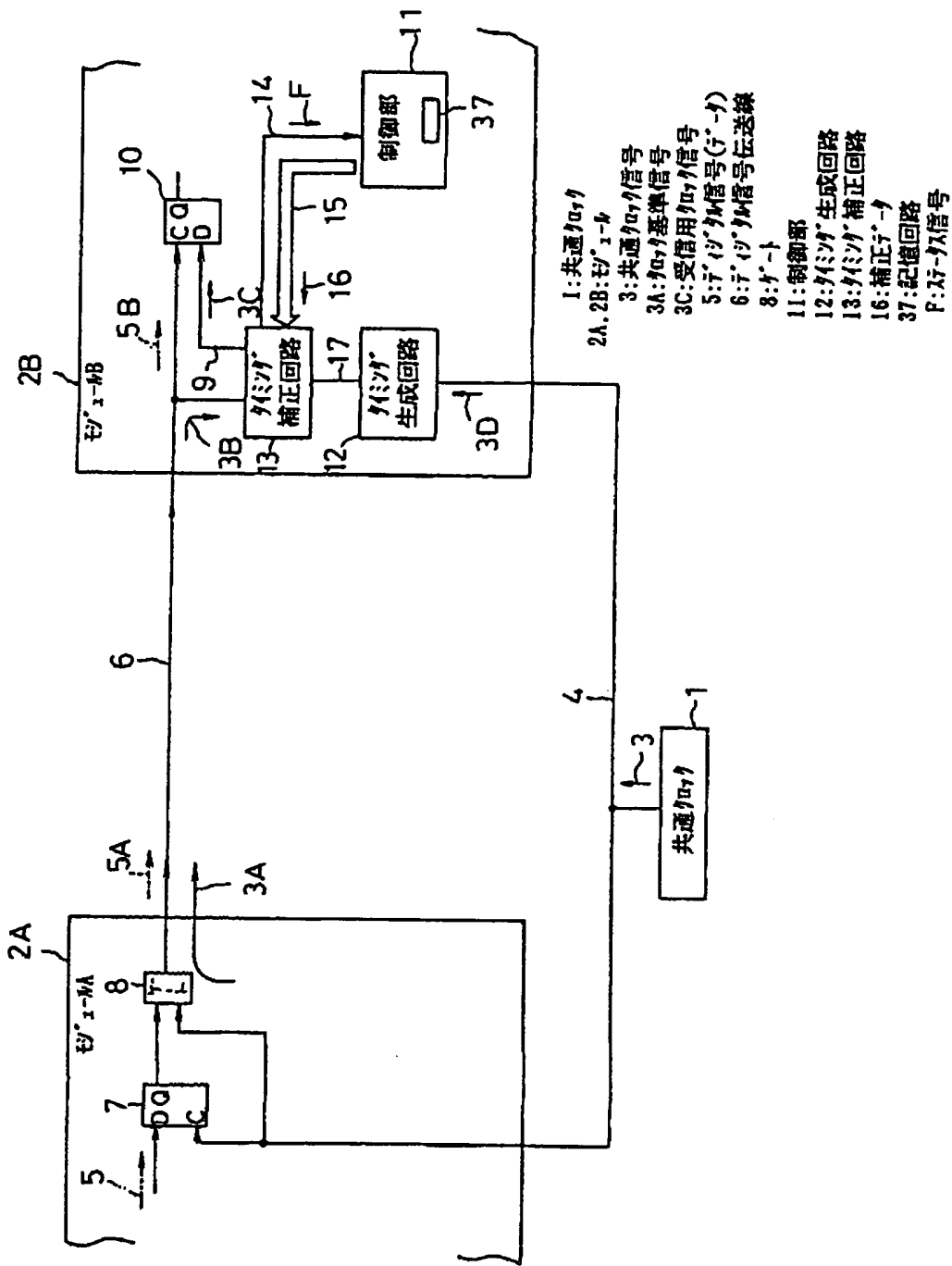
---

[A view 4]

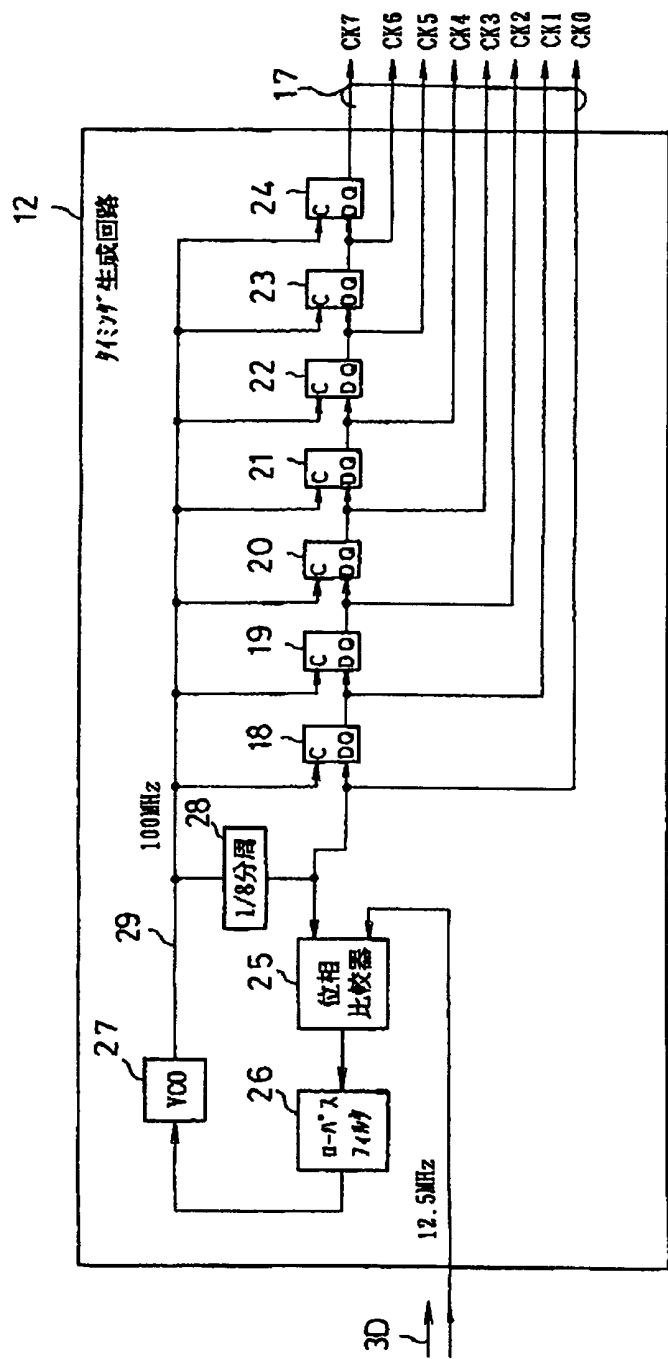


[A view 1]

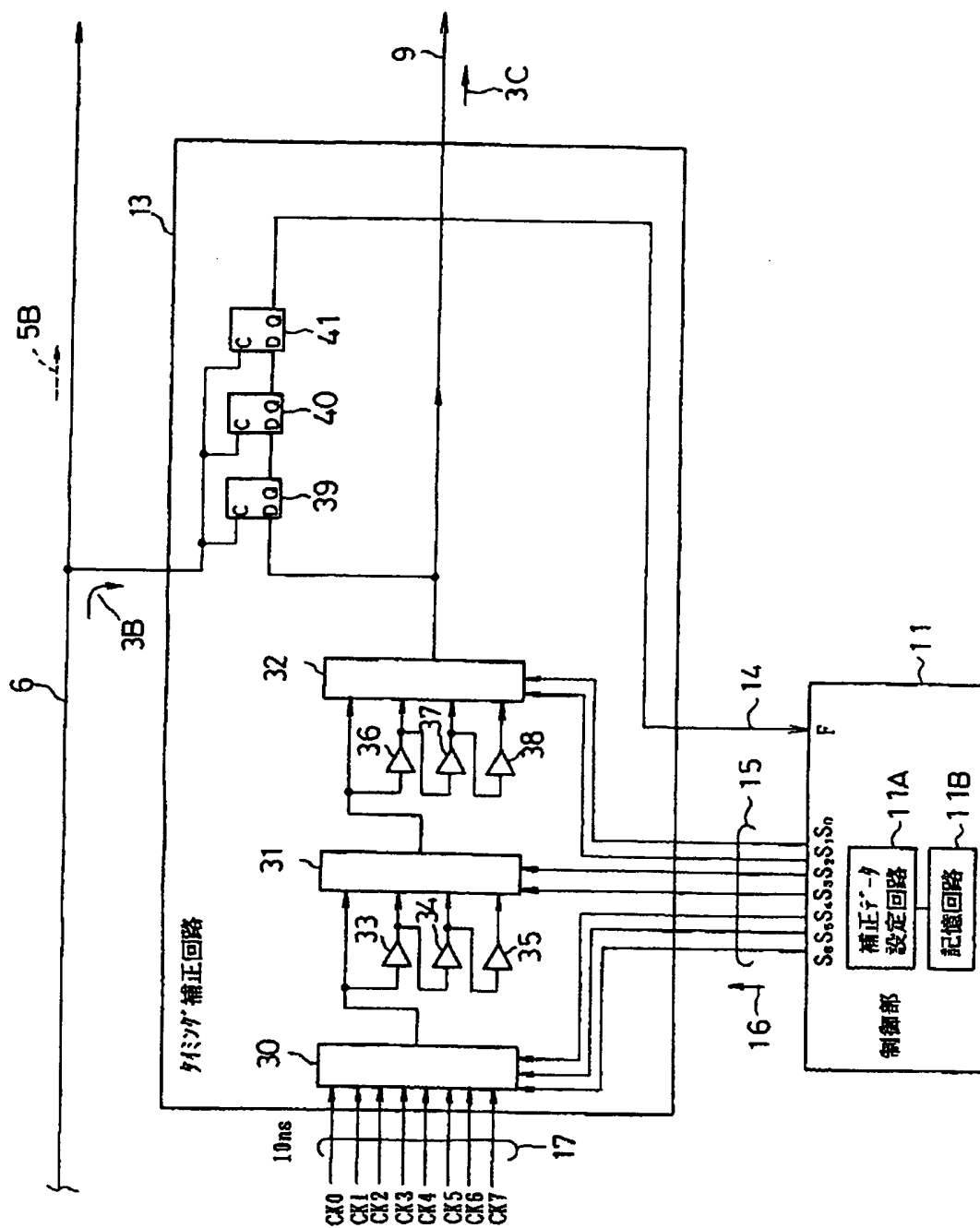
[A view 2]



[A view 3]







[Translation done.]

特許 2744094

**DIGITAL SYSTEM**

Patent Number: JP3171945  
Publication date: 1991-07-25  
Inventor(s): NAKAMURA SADA O  
Applicant(s): TOSHIBA CORP  
Requested Patent: ☐ JP3171945  
Application Number: JP19890309354 19891130  
Priority Number(s):  
IPC Classification: H04L7/04; H04L29/08  
EC Classification:  
Equivalents: JP2744094B2

**Abstract**

**PURPOSE:** To always execute the signal transmission between modules at an optimal timing by inputting a clock reference signal to the module for inputting a digital signal and generating optimal receiving timing information, and correction a common clock signal so as to conform with the reception of the digital signal.

**CONSTITUTION:** A control part 11 obtains optimal timing information by a state variation of a status signal F by giving correction data 16 to a timing correcting circuit 13 through a circuit 15 in accordance with the status signal F inputted through the timing correcting circuit 13. The timing correcting circuit 13 obtains a clock signal of a form whose timing is shifted suitably against a common clock signal 3D by bringing a selector provided on its inside to selecting operation by the correction data 16, and outputs it as a receiving clock signal 3C to a flip-flop 10. In such a way, the signal transmission between modules can always be executed at an optimal timing.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2744094号

(45) 発行日 平成10年(1998) 4月28日

(24) 登録日 平成10年(1998) 2月6日

(51) Int.Cl.<sup>6</sup>H 0 4 L 7/04  
29/08

識別記号

F I

H 0 4 L 7/04  
13/00

B

3 0 7 A

請求項の数 2 (全 7 頁)

(21) 出願番号 特願平1-309354

(22) 出願日 平成1年(1989)11月30日

(65) 公開番号 特開平3-171945

(43) 公開日 平成3年(1991) 7月25日  
審査請求日 平成8年(1996)10月17日

(73) 特許権者 999999999

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 定雄

神奈川県川崎市幸区小向東芝町1 株式  
会社東芝総合研究所内

(74) 代理人 弁理士 三好 秀和 (外1名)

審査官 清水 康志

(56) 参考文献 特開 昭54-60813 (J P, A)

特開 昭62-112433 (J P, A)

(54) 【発明の名称】 デジタルシステム

## (57) 【特許請求の範囲】

【請求項1】複数のモジュール間をデジタル信号伝送線で接続し、各モジュールに共通クロック信号を与えて受信用タイミングを設定し、モジュール間でデジタル信号を伝送するようにしたデジタルシステムにおいて、

前記デジタル信号を出力すべきモジュールは、該モジュールに入力された前記共通クロック信号を前記デジタル信号伝送線の出力端子からクロック基準信号として出力するクロック基準信号出力手段を備え、  
前記デジタル信号を入力するモジュールは、入力された前記クロック基準信号と与えられた前記共通クロック信号との位相差に基づいて補正データを作成する手段と、この補正データによる前記共通クロック信号の補正により、通常モード時に伝送される前記デジタル信号

の受信用クロック信号を生成する共通クロック信号補正手段とを備えたことを特徴とするデジタルシステム。

【請求項2】請求項1に記載のデジタルシステムにおいて、

前記共通クロック信号補正手段は、前記共通クロック信号のタイミングを少しづつずらせた形の多数のクロック信号群を生成する手段と、  
生成されたクロック信号群の中から適宜のクロック信号を選択させるための適数段のセレクトと、  
該セレクトの選択状態に応じ前記クロック基準信号より得られる理想の受信用クロック信号と前記セレクトの最終段より出力される実際受信用クロック信号の位相差に応じて位相検出信号を出力する位相検出手段と、  
検出された位相差に基づいて前記セレクトを選択するための前記補正データを作成する手段とを備えたことを特

(2)

第2744094号

1

徴とするデジタルシステム。

【発明の詳細な説明】

[発明の目的]

(産業上の利用分野)

本発明は、モジュール間でデジタル信号の伝送を行うデジタルシステムに関する。

(従来の技術)

一般に、各種計算機や集積回路などデジタルシステムでは、複数のモジュールで構成され、デジタル信号を伝送するためのデジタル伝送線及びこの伝送を行うための共通クロック信号を与えるための共通クロック信号線で結合され、各モジュール間でデータ伝送するようになっている。

この種デジタルシステムにおいて、その動作状態を検討すると、論理素子の動作速度の相違や配線長による伝播遅延を考慮して、受信用クロックのタイミング、周波数、その精度などを設定しなければならない。

ところが、各種デジタル回路では、理想的な回路を想定して受信用タイミングを設定しても、モジュール間が多数の信号線で結合され、それぞれにおいて論理素子の動作速度や配線長が異なるので、ある信号線については正しく動作しても、別の信号線では正しく動作しないかもしれない。また、ある特定のシステムでは正しく動作しても、別のシステムでは正しく動作しない、あるいは接続モジュールを別のモジュールに取り換えると正しく動作していたシステムが正しく動作しなくなるかもしれないなどの複雑な問題がある。

ここで、もしシステムの動作速度を限界まで高めようとするならば、オシロスコープなどの測定器を用いてタイミングの補正値を知り、信号伝播のタイミングを個々の状況に応じて調整しなければならないが、これは大変な手間であり、大きなシステムでは実行不可能である。

そこで、従来のデジタルシステムでは、論理素子の動作速度、配線長、及びこれらの値のばらつきをある程度考慮したうえで、十分余裕をもった範囲でクロック周波数を決定し、クロック周波数をある程度の値に押えることで妥協していた。

(発明が解決しようとする課題)

しかしながら、上記の如き従来よりのデジタルシステムでは、論理素子の動作速度、配線長、及びこれらの値のばらつきを考慮した上で、十分余裕をもってクロック周波数を決定していたため、クロック周波数をより高くすることができず、システムの動作速度を大幅に制限しているという問題点があった。

また、伝播遅延や素子の動作速度の相違をそのまま認めるので、システム信頼性を低下させているという問題点があった。

そこで、本発明は、論理素子の動作速度、配線による遅延、並びにこれらの値のばらつきに影響されず、より

2

高い周波の共通クロック信号にて常に最適なタイミングでモジュール間の信号伝送を行わせることができ、もって高速動作させることができ、信頼性の向上を図ることができるデジタルシステムを提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

上記課題を解決するために本発明は、複数のモジュール間をデジタル信号伝送線で接続し、各モジュールに共通クロック信号を与えて受信用タイミングを設定し、モジュール間でデジタル信号を伝送するようにしたデジタルシステムにおいて、前記デジタル信号を出力すべきモジュールは、該モジュールに入力された前記共通クロック信号を前記デジタル信号伝送線の出力端子からクロック基準信号として出力するクロック基準信号出力手段を備え、前記デジタル信号を入力するモジュールは、入力された前記クロック基準信号と与えられた前記共通クロック信号との位相差に基づいて補正データを作成する手段と、この補正データによる前記共通クロック信号の補正により、通常モード時に伝送される前記デジタル信号の受信用クロック信号を生成する共通クロック信号補正手段とを備えたことを特徴とする。

(作用)

上記のように、本発明のデジタルシステムは、一方のデジタル信号を出力するモジュール側にクロック基準信号出力手段を設け、当該モジュールに入力された共通クロックをクロック基準信号としてデジタル信号を入力するモジュールに向け出力し、他方のデジタルデータを入力する側のモジュール側には、共通クロック信号補正手段を設け、前記クロック基準信号との位相差に基づいて、共通クロック信号のタイミングを補正する補正データを作成し、受信用クロック信号を生成するよう構成したものである。

このように、本発明は、デジタル信号伝送線を介して伝送されるクロック基準信号をもとに受信用クロック信号を生成するので、簡単な構成により、デジタル信号伝送線における伝搬遅延や論理素子の動作速度等によるいかなる誤差の影響をも確実に除去されるものであり、その結果、多種多様なデジタル回路での高速データ伝送に適用可能である。

(実施例)

以下、本発明の実施例を説明する。

第1図は本発明の一実施例に係るデジタルシステムの全体構成を示すブロック図である。

図において、本例のデジタルシステムは、共通クロック1で作動される2つのモジュール2A、2Bを有して成り、両モジュール2A、2Bは、共通クロック信号3を与える共通クロック信号線4、及びデジタル信号(データ)5を伝送するデジタル信号伝送線6で相互に接続されている。本例では、モジュール2Aはデータの送信

( 3 )

第 2 7 4 4 0 9 4 号

3

を、モジュール2Bはデータの受信を行うものとする。

前記モジュール2Aには、前記共通クロック信号3及び送信データ5を入力し、前記デジタル信号伝送線6にデータ出力するためのフリップフロップ7と、クロック基準信号出力手段としてのゲート8を備えて成る。

ゲート8は、通常モードまたはタイミング設定モードに応じ前記フリップフロップ7から出力されるデータ5Aまたは該ゲート8に入力される共通クロック信号3Aを前記デジタル信号伝送線6に送出するものである。モード切換えは、一般には、データ送信前にタイミング設定モードとし、その後通常モードに切換えられる。

一方、前記モジュール2Bには、通常モード下でデジタル信号伝送線6を介して入力されるデータ5Bを回線9から入力される受信用クロック信号3Cを用いて受信するフリップフロップ10と、タイミング補正手段としての制御部11及びタイミング生成回路12並びにタイミング補正回路13を有して成る。

まず、概要を説明すると、制御部11は、前記タイミング補正回路13を介して入力されるステータス信号Fに応じて回線15を介してタイミング補正回路13に補正データ16を与えることにより、前記ステータス信号Fの状態変化で最適タイミング情報を得るものである。また、タイミング生成回路12では共通クロック信号3Dを入力し、そのタイミングをずらせた形の多数のクロック信号を生成し、これを回線17を介してタイミング補正回路13に提供するものである。最後にタイミング補正回路13は、その内部に備えたセレクトを前記補正データ16で選択動作させることにより、共通クロック信号3Dに対し、適宜タイミングをずらせた形のクロック信号を得、これを受信用クロック信号3Cとしてフリップフロップ10へ出力するものである。なお、この回路13には、前記のステータス信号Fを出力するために、基準クロック信号3Bと受信用クロック信号3Cの位相差に応じて、位相進みの場合は1、遅れの場合は0のステータス信号Fを出力する位相検出器が含まれている。

第2図にタイミング生成回路12の詳細を、第3図に制御部11及びタイミング補正回路13の詳細を示した。

第2図において、タイミング生成回路12は、PLL (Phase Locked Loop) 回路による周波数乗算器と、7個のフリップフロップ18, 19, 20, 21, 22, 23, 24を備えた位相シフト回路から成る。PLL回路は位相比較器25、ローパスフィルタ26、電圧制御発振器 (VCO) 27及び1/8分周回路28で構成される。今、システムの共通クロック信号3Dの周波数を12.5MHz、VCOの自走発振周波数を100MHzとすると、定常状態では各フリップフロップ18~24に共通の信号線29を介して前記共通クロック信号3Dに同期した100MHzのクロック信号が与えられる。前記100MHzのクロックを1/8に分周した信号を前記100MHzクロックで位相シフトすることによって最終的に10nsずつ位相のずれた12.5MHzのクロック信号 (CK0, CK1, …CK7) が得られ、これを

4

複数の回線17から個別に出力することができる。

第3図において、30, 31, 32はデータセクタであり、33, 34, 35はゲートを用いた2.5nsの遅延素子、36, 37, 38も同じくゲートを用いた0.6nsの遅延素子である。この回路13によって、セクタ30で10ns単位、セクタ31で2.5ns単位、セクタ32で0.6ns単位でタイミング信号の位相補正を行い、全体で7ビットの2進数値によってタイミング信号の一周分分に相当する0nsから80nsの位相補正を0.6ns単位で行うことにより位相を少しずつずらせた形のクロック信号を得ることができ、セクタ30, 31, 32の作動状態に応じて任意のクロック信号を選択することができる。

また、39は初期化モードすなわちタイミング設定モードにおいて伝送線6から入力されるクロック基準信号3Bと、前記セクタ32から出力される受信用クロック信号3Cとの間の位相差を検出する為のD-フリップフロップである。40, 41はフリップフロップ39のメタステーブル状態を除去する為に設けたD-フリップフロップである。

次に、同図に示す制御部11は回線14の補正データ設定回路11A及び記憶回路11Bを有しており、補正データ設定回路11Aは、回線14のステータス信号Fを見ながら、ステータス信号Fが1なら位相を遅らせ、ステータス信号Fが0なら位相を進ませるよう、セクタ30, 31, 32を選択し、クロック基準信号3Bと受信用クロック信号3Cとの間の位相差が0となるようセクタ選択信号を設定し、位相差0のときのセクタ設定値を補正データとして記憶回路11Bに記憶する。すなわち、この時点で、モジュール2Aから送られてきたデータの受信タイミング情報が補正用データとして記憶回路11Bに記憶されたことになる。第4図に補正データ設定回路11Aの制御状況を示した。

第4図において、理想的な受信用クロック信号3C<sub>0</sub>とタイミング補正回路13から出力される受信用クロック信号3Cとを対比すると、本例では、ステータス信号Fが1から0へ、または0から1へ変化する時点でタイミング誤差 $\Delta 1$ を $\Delta 2$ にするが如く、最小誤差にすることができる。よって、最終的な誤差 $\Delta 2$ を、0.6ns以下にすることができる。

以上により、本例のデジタルシステムでは、タイミング生成回路12及び制御部11並びにタイミング補正回路13の作用により、受信用クロック信号3Cの理想的なクロック信号3C<sub>0</sub>に対する誤差を0.6ns以下とすることができる。

また、例えばモジュール内の回路接続状態の変化、通信相手の変化あるいは環境変化など条件変化に応じて、データ伝送に先立ち適時タイミング設定できるので各種条件下に応じて常時最適な受信タイミングを設定することができる。

さらに、本例では記憶回路11Bを設けたので、この記

( 4 )

第 2 7 4 4 0 9 4 号

5

憶回路11Bを複数条件下に対して補正データを設定したデータテーブルとしておくことにより、都度計測することなく、条件変化に応じて最適受信タイミングを設定することもできる。

また、従来方法ならば、3つのモジュールA,B,Cがあつて論理的にはAとB,AとCがそれぞれ結合できるが、タイミング設計が異なる為、AとBは結合できても、AとCが結合できないということがあり得たのに対し、本例によれば、入出力間で自動的に信号の転送タイミングが設定されるため、モジュール間を自由に結合でき、しかもその結合状態が自由となる。

上記実施例では、主にモジュールを送受信用の2つで説明したが、本発明は、より多数のモジュールを有してデータの送受信を行うデジタルシステムに対しても適用可能である。この場合にも、記憶回路に通信相手に対する受信タイミングの補正データを記憶しておけば、条件変化、すなわち通信モジュールに応じて最適受信タイミングを迅速に設定することができる。

さらに、上記実施例では、データ伝送方向を一方向で示したが、送受信側にクロック基準信号出力手段及び共通クロック信号補正手段をそれぞれ持たせることにより、双方向に対して対応することができる。

〔発明の効果〕

以上の通り、本発明は特許請求の範囲に記載の通りのデジタルシステムであるので、論理素子の動作速度、

6

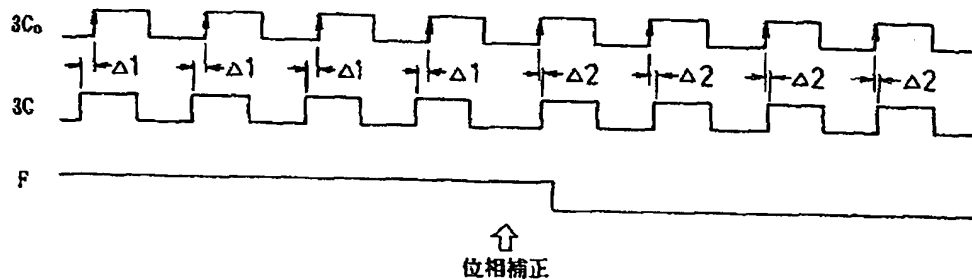
配線による遅延、並びにこれらの値のばらつきに影響されず、より高い周波の共通クロック信号にて常に最適なタイミングでモジュール間の信号伝送を行わせることができ、もって高速動作させることができ、信頼性の向上を図ることができる。

【図面の簡単な説明】

第1図は本発明の一実施例に係るデジタルシステムを示す全体図、第2図はタイミング生成回路の構成図、第3図はタイミング補正回路の構成図、第4図は実施例の動作を説明する為のタイミングチャートである。

- 1……共通クロック
- 2A, 2B……モジュール
- 3……共通クロック信号
- 3A……クロック基準信号
- 3C……受信用クロック信号
- 5……デジタル信号（データ）
- 6……デジタル信号伝送線
- 8……ゲート
- 11……制御部
- 11B……記憶回路
- 12……タイミング生成回路
- 13……タイミング補正回路
- 16……補正データ
- F……ステータス信号

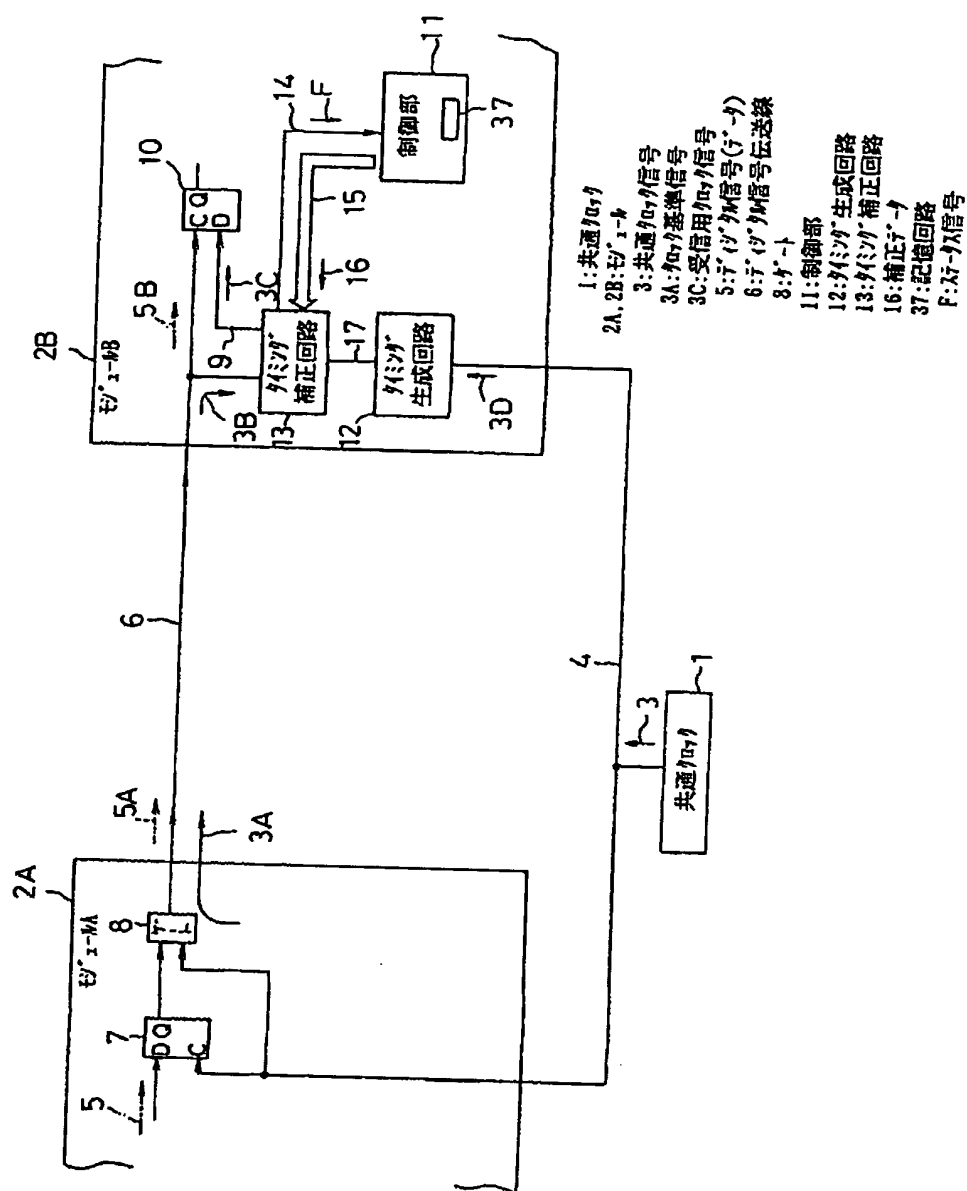
【第4図】



( 5 )

第 2 7 4 4 0 9 4 号

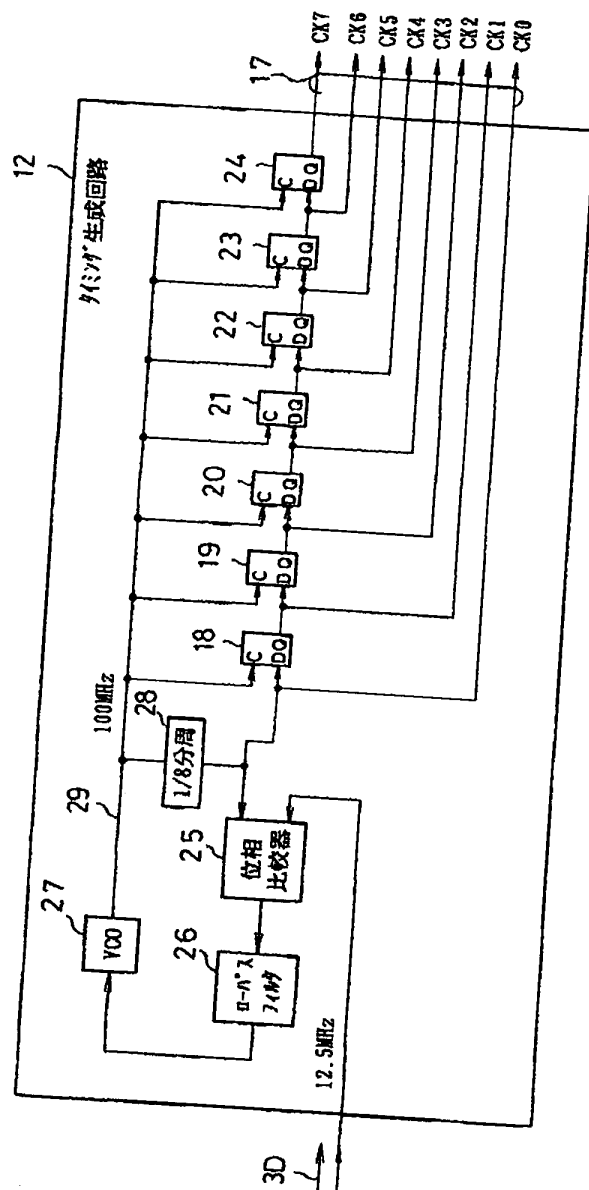
【第 1 図】



( 6 )

第 2 7 4 4 0 9 4 号

【第 2 図】





(7)

第2744094号

【第3図】

